

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223634  
 (43)Date of publication of application : 11.08.2000

(51)Int.Cl. H01L 23/48  
 H01L 23/36

(21)Application number : 11-019431

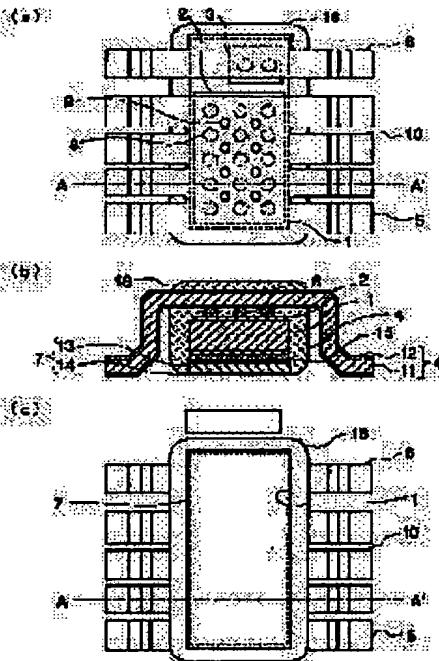
(71)Applicant : HITACHI LTD  
 HITACHI TOBU SEMICONDUCTOR LTD  
 (72)Inventor : KAJIWARA RYOICHI  
 KOIZUMI MASAHIRO  
 MORITA TOSIYAKI  
 TAKAHASHI KAZUYA  
 KISHIMOTO MUNEHISA  
 ISHII SHIGERU  
 HIRASHIMA TOSHINORI  
 TAKAHASHI YASUSHI  
 NAMITA TOSHIYUKI  
 SATO HITOHISA  
 OKAWA KEIICHI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having a package structure capable of reducing the mounting resistance.

**SOLUTION:** First metal members (lead terminals 5, 6) are connected to a first electrode (a source electrode 2) of a semiconductor element (a semiconductor chip 1) via first metal bodies (Au bumps 8) including a noble metal, and a second metal member (a die terminal 7) is connected to a second electrode (a rear electrode 4) via second metal bodies (plated with noble metal 14 and Ag 15). Thereby, a drastic decrease in the mounting resistance such as 1 m . or lower can be achieved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-223634  
(P2000-223634A)

(43)公開日 平成12年8月11日 (2000.8.11)

(51)Int.Cl.<sup>7</sup>H 01 L 23/48  
23/36

識別記号

F I

H 01 L 23/48  
23/36テマコート<sup>\*</sup>(参考)

F 5 F 0 3 6

審査請求 未請求 請求項の数15 O.L (全16頁)

(21)出願番号

特願平11-19431

(22)出願日

平成11年1月28日(1999.1.28)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町1番地1

(72)発明者 梶原 良一

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男

最終頁に続く

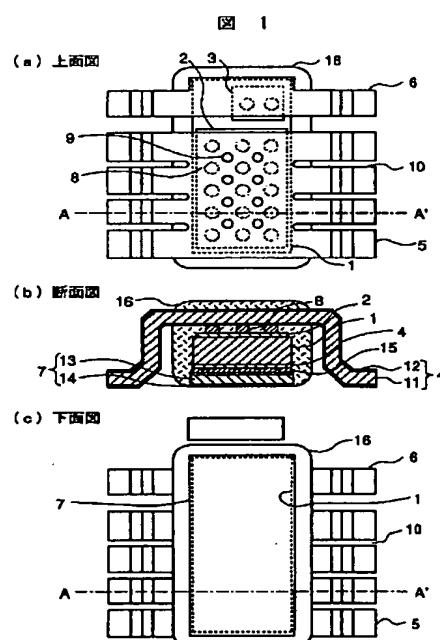
(54)【発明の名称】 半導体装置

## (57)【要約】

【課題】半導体パッケージの実装抵抗を低減する。

【解決手段】第1の金属部材(リード端子5, 6)が、  
第1の貴金属を含む第1の金属体(Auバンプ8)を介して、半導体素子(半導体チップ1)の第1の電極(ソース電極2)と接続され、かつ、第2の金属部材(ダイ端子7)が、第2の貴金属を含む第2の金属体(貴金属メッキ14及びAgメッキ15)を介して、第2の電極(裏面電極4)と接続される。

【効果】1mΩ以下というような大幅な実装抵抗低減が可能になる。



## 【特許請求の範囲】

【請求項1】半導体基板と、前記半導体基板の表面に設けられる第1の電極と、前記半導体基板の裏面に設けられる第2の電極とを有する半導体素子と、  
前記第1の電極に接続される第1の金属部材と、  
前記第2の電極に接続される第2の金属部材と、を備え、

前記第1の電極と前記第1の金属部材とが第1の貴金属を含む第1の金属体を介して接続され、前記第2の電極と前記第2の金属部材とが第2の貴金属を含む第2の金属体を介して接続されることを特徴とする半導体装置。

【請求項2】請求項1において、外部配線と接続するための前記第1の金属部材の表面部分及び前記第2の金属部材の表面部分が略同じ平面内に位置することを特徴とする半導体装置。

【請求項3】請求項1または2において、前記第1の金属体が、前記第1の電極または前記第1の金属部材から突出する突起状電極であることを特徴とする半導体装置。

【請求項4】請求項1または2において、前記第1の金属体が、前記第1の電極または前記第1の金属部材から突出する複数の突起状電極であり、前記複数の突起状電極が、前記第1の電極と前記第1の金属部材との接合界面の略全面において、略等間隔に配列されていることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれか1項において、前記第1の金属部材の接合表面に貴金属層が設けられることを特徴とする半導体装置。

【請求項6】請求項1または2において、前記第2の金属体が、前記第2の電極と前記第2の金属部材との接合界面に位置する金属層であることを特徴とする半導体装置。

【請求項7】請求項6において、前記金属層が前記第2の電極の接合表面側及び前記第2の金属部材の接合表面側に位置する貴金属層が互いに接合したものであることを特徴とする半導体装置。

【請求項8】請求項6において、前記金属層が貴金属を主成分とする固相温度400℃以上の合金層であることを特徴とする半導体装置。

【請求項9】請求項1において、前記第1の金属部材が、前記第1の電極との接合部を有する部分から延びる複数の部分を有し、前記複数の部分の各々が、外部配線と接続するための表面部分を有することを特徴とする半導体装置。

【請求項10】請求項3において、さらに、前記半導体素子と前記第1及び第2の金属部材とを被覆する絶縁体を有し、前記第1の金属部材における前記第1の電極との接合面の裏面が、外部配線と接続するための露出部分を有することを特徴とする半導体装置。

【請求項11】請求項10において、前記半導体素子の

前記接合面側が回路形成面であり、前記第1の電極が主流電極であることを特徴とする半導体装置。

【請求項12】請求項6において、さらに、前記半導体素子と前記第1及び第2の金属部材とを被覆する絶縁体を有し、前記第2の金属部材における前記第2の電極との接合面の裏面が、外部配線と接続するための露出部分を有することを特徴とする半導体装置。

【請求項13】半導体基板と、前記半導体基板の表面に設けられる第1の電極と、前記半導体基板の裏面に設けられる第2の電極とを有する半導体素子と、

前記第1の電極に接続される第1の金属部材と、  
前記第2の電極に接続される第2の金属部材と、を備え、  
前記第2の電極と前記第2の金属部材とが貴金属を含む金属層を介して接続され、

前記金属層が、前記第2の電極の接合表面及び前記第2の金属部材の接合表面に設けられる貴金属層が互いに接合したものであることを特徴とする半導体装置。

【請求項14】半導体基板と、前記半導体基板の表面に設けられる第1の電極と、前記半導体基板の裏面に設けられる第2の電極とを有する半導体素子と、  
前記第1の電極に接続される第1の金属部材と、  
前記第2の電極に接続される第2の金属部材と、を備え、  
前記第2の電極と前記第2の金属部材とが貴金属を含む金属層を介して接続され、

前記金属層が、貴金属を主成分とする固相温度400℃以上の合金層であることを特徴とする半導体装置。

【請求項15】半導体基板と、前記半導体基板の表面に設けられる第1の電極と、前記半導体基板の裏面に設けられる第2の電極とを有する半導体素子と、  
前記第1の電極に接続される第1の金属部材と、  
前記第2の電極に接続される第2の金属部材と、を備え、  
前記第1の金属部材が、前記第1の電極との接合部から延びる複数の部分を有し、前記複数の部分の各々が、外部配線と接続するための表面部分を有することを特徴とする半導体装置。

【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に実装抵抗の低減に好適な半導体パッケージ構造に関する。

【0002】

45 【従来の技術】従来のトランジスタパッケージの一例として、特開平8-64634号公報に開示されているものがある。熱放散用のヘッダに電子回路が形成された半導体チップが裏面電極側で半田により接合されている。チップの回路形成面側のA1電極には、パンプが形成され、インナーリードが電気的及び機械的に接続されている。ま

た、ヘッダにもインナーリードが接続され、チップ及びヘッダとリードの一部を覆うように樹脂で封止されている。このとき、バンプが半田の場合はリード側に錫(Sn)、金(Au)、半田等をめっきしてバンプの半田を溶融して接合し、バンプがAuの場合にはリード側に錫をめっきしてAu-Sn共晶反応によって接合している。インナーリードは、ソース電極、ドレイン電極、ゲート電極用の3本で構成され、ソース電極用リードは櫛歯形状に加工されている。ヘッダには、樹脂まで貫通する開口部が形成されている。

【0003】他の従来例として、特開平5-121615号公報に開示されているワイヤレス構造の表面実装型半導体パッケージがある。3つの外部接続端子が半導体チップの電極端子に接続されている。チップ上面の2つの電極と外部接続端子はAuポールを熱圧着することにより接続されている。配線基板への実装は、チップ搭載部から前後に導出されたリード端子の先端領域を基板の端子に半田付けして行われる。

【0004】また、従来の標準的な表面実装型半導体パッケージにおいては、ドレン用リードのヘッダに半導体チップが半田により接着され、半導体チップのソース及びゲート電極と外部接続端子のソース及びゲート用リード間がA1ワイヤのボンディングにより結線されている。チップ及び各リードとヘッダの一部が樹脂でモールドされている。樹脂パッケージの底面にヘッダが露出して配線基板に接続可能な構造となっており、その大きさは樹脂モールドのサイズより大きく設定されている。

【0005】また、半導体チップの従来のチップ・ダイ接続構造においては、Cu基合金の部材にチップを固定したときチップに高い応力を発生させないために、降伏強度の低いPbリッチな半田やAg粒子を混入した導電性樹脂による接着構造が採用されていた。

#### 【0006】

【発明が解決しようとする課題】従来の縦型半導体素子の表面実装型プラスチックパッケージにおけるパッケージの実装抵抗は、ワイヤボンディング構造で数十～十数mΩであった。半導体技術の進歩により、素子のオン抵抗が年々減少し、現状は数十～数mΩ/cm<sup>2</sup>のデバイスが開発されつつあり、将来はさらに低抵抗化が進められると予測される。その場合、実装抵抗がデバイス抵抗よりも大きくなるため、半導体パッケージの性能向上を図るために、実装抵抗の低減が不可欠となる。この半導体パッケージのオン抵抗に着眼した公知例が上記特開平8-64634号公報に開示されているが、この公知例は挿入実装型パッケージで提案されている。挿入実装型は、パッケージサイズに制約がなく、しかも基板とリードの接合が構造的に強固であるため、厚肉で大型サイズのヘッダを使用でき、リードも厚肉のものを使用できる。このため、実装抵抗の低減は比較的容易である。しかし、表面実装型パッケージは、樹脂匡体の両サイドから導出さ

れたリードが、その先端部で基板の端子と小さい面積の面同士で半田接続される構造であるため、挿入実装型に比べて接合部の疲労強度が弱いという性質がある。このため、チップの発熱に伴うパッケージと基板間の熱歪みを柔軟なリードの変形によって吸収することが必要であり、リードの形状を薄肉で細長い形状とする必要がある。この場合には、リード部分の電気抵抗が大きくなるため、実装抵抗の低減は困難である。

- 【0007】表面実装型の場合、チップを搭載したヘッダを直接配線基板に半田付けする構造にすれば、この問題はなくなる。しかし、チップ上面の電極に接続されるリードを樹脂匡体からの導出する位置と、ヘッダを導出する位置が高さの点で異なる場合、樹脂をモールドする上下金型の合わせ面が3次元構造となり、金型の加工が難しくなるという問題がある。この問題は、特にリードフレームが、パッケージの多数個取りを目的としたマトリックスフレーム(X, Y方向に配置)の場合に顕著となる。ヘッダを小さくして樹脂匡体内に納めればこの問題はなくなるが、そうすると、ヘッダを樹脂匡体の下面に露出させるためにヘッダをモールド金型の底面に押し付けるための加圧場所をモールド内部に設ける必要がある。ヘッダが大きい場合はヘッダの開口部を利用して押し付けることが可能だが、ヘッダがチップと同等サイズの場合にはヘッダ部に押し付ける場所がなく、ヘッダを下面に露出させてモールドすることが難しくなるという問題がある。このため、ヘッダがチップと同等サイズの小型の半導体パッケージの場合には、裏面電極の外部接続端子を兼ねるヘッダを樹脂匡体内に納めた構造で組み立てることが技術的に困難である。
- 【0008】一方、従来において、チップ裏面とヘッダやダイ等の外部接続端子との接続は、半田接続かあるいは導電性樹脂による接着構造が採用されてきた。半田接続は、電気抵抗や熱抵抗及び耐熱信頼性に優れた接続構造であるが、近年の環境問題の観点からPbレス化が要求されており、従来のPb入り半田から新たなPbレス接合材料に変える必要が生じている。しかし、固相温度が250℃以下のPbレス半田材料は種々あるものの、パッケージの基板への搭載に耐えるような固相温度270℃以上を持つ適当なPbレス半田材料はないのが実情である。唯一、固相温度370℃のAu-Si半田があるが、この半田は、コストが高いこと、降伏強度が高いためチップサイズが大きい場合は半田付け後の冷却過程でチップが割れてしまうという2つの理由によってチップ裏面電極用半田材として採用困難である。すなわち、現状、Pbレスの代替半田材がないという問題がある。一方、導電性樹脂による接着は、耐熱的には短時間であれば実装に必要な270℃に耐えることができるが、接着強度が樹脂で保たれているため強度的に弱く、モールド樹脂の硬化収縮力で密着を補強しているものの、大面積のチップや高温で使用されるパッケージでは、経年変化

や温度サイクルによる樹脂の劣化によって接合部の電気抵抗や熱抵抗が増加するという問題がある。特に、ヘッダやダイ（外部接続端子）が樹脂匡体の表面に露出している片面モールド構造では、チップ裏面にモールド樹脂による押し付け力が得られない構造となるため、導電性樹脂接着部の長期信頼性がさらに低くなるという問題がある。

【0009】本発明は、上記の問題点を考慮してなされたものであり、実装抵抗の低減が可能なパッケージ構造を有する半導体装置を提供する。

【0010】

【課題を解決するための手段】本発明による半導体装置は、まず、半導体基板と、半導体基板の表面に設けられる第1の電極と、半導体基板の裏面に設けられる第2の電極とを有する半導体素子を備える。さらに、第1の金属部材が、第1の貴金属を含む第1の金属体を介して、半導体素子の第1の電極と接続され、かつ、第2の金属部材が、第2の貴金属を含む第2の金属体を介して、第2の電極と接続される。

【0011】本発明によれば、第1及び第2の金属部材が、それぞれ貴金属を含む金属体を介して半導体素子の電極と接続されるので、半導体パッケージの実装抵抗を低減することができる。

【0012】上記の構成において、好ましくは、外部配線と接続するための第1の金属部材の表面部分及び第2の金属部材の表面部分を略同じ平面内に位置させる。ここで、略同じ平面とは、例えば、各種電子装置における配線基板や回路基板の電子部品取り付け面である。これにより、半導体装置を、配線基板や回路基板などに、面実装することができる。

【0013】第1の金属体としては、半導体素子の第1の電極または第1の金属部材から突出する突起状電極がある。突起状電極としては、金(Au)または銀(Ag)などの貴金属のバンプ電極やポール状電極などが適用できる。さらに、実装抵抗を低減するために好ましくは、複数の突起状電極を、第1の電極と前記第1の金属部材との接合界面の略全面において、略等間隔に配列する。

【0014】第2の金属体としては、第2の電極と第2の金属部材との接合界面に位置する金属層がある。好ましくは、金属層を、第2の電極の接合表面側及び第2の金属部材の接合表面側に位置する各貴金属層が互いに接合したものとする。貴金属層の材料としては、金(Au)、銀(Ag)、白金(Pt)、パラジウム(Pd)などから選択される貴金属、あるいはそれを最も多く含む主成分とする合金が適用できる。また、複数種の貴金属層あるいは合金層が多層化されていても良い。さらに、第2の電極側に位置する貴金属層と、第2の金属部材側に位置する貴金属層との間に、金(Au)または銀(Ag)などの貴金属のバンプ電極やポール状電極、樹

脂と混合された銀(Ag)粒子、板状またはシート状あるいは網目状の銀(Ag)部材、凹凸あるいは空隙部を有する板状あるいはシート状の銀部材のいずれかが介在しても良い。好み他の金属層としては、貴金属を主成分とする固相温度400℃以上の合金層がある。このような合金層としては、銀(Ag)を主成分とする銀(Ag)と錫(Sn)との合金を適用できる。

【0015】半導体素子の第1及び第2の電極、並びに第1及び第2の金属部材においては、これらの接合表面

10 に貴金属層を設けても良い。この貴金属層の材料としては、金(Au)、銀(Ag)、白金(Pt)、パラジウム(Pd)などから選択される貴金属、あるいはそれを最も多く含む主成分とする合金が適用できる。半導体素子における第1及び第2の電極の材料としては、アルミニウム、またはアルミニシリコンのようなアルミニウム合金が適用できる。

【0016】また、第1及び第2の金属部材は、半導体素子の第1及び第2の電極を外部の電極、配線基板、回路基板などと電気的に接続する。例えば、第1及び第2

20 の金属部材は、半導体パッケージの一部であるリード線、リード電極、またはダイ端子など、あるいはこれら的一部である。そして、実装抵抗を低減するために好みしくは、第1の金属部材が、第1の電極との接合部を有する部分から延びる複数の部分を有し、この複数の部分25 の各々が、外部配線と接続するための表面部分を有する構成とする。このような半導体装置が接続される回路基板または配線基板においては、第1の金属部材における上記のような各表面部分毎に、電気的接続のための導体部（例えば銅箔）が設けられ、かつこれらの導体部は、

30 回路基板上または配線基板上で電気的に接続されている。例えば、このような導体部としては、プリント基板における、連続した導体（例えば銅）パターンが適用できる。上述したような、本発明による半導体装置の構成は、いわゆる樹脂封止型または樹脂モールド型の半導体装置のように、半導体素子と第1及び第2の金属部材とが絶縁体によって被覆される半導体装置にも実施できる。

35 この場合、第1の金属部材における第1の電極との接合面の裏面が、外部配線と接続するための露出部分を有することが好みしい。このような構成に加え、半導体素子の接合面側を回路形成面（たとえば縦型半導体スイッチング素子の一方の主電流電極と制御電極が形成されている面）とし、第1の電極を主電流電極とすると良

40 い。なお、半導体素子と第1及び第2の金属部材とが絶縁体によって被覆される半導体装置においては、第2の金属部材における第2の電極との接合面の裏面が、外部配線と接続するための露出部分を有していても良い。なお、絶縁体の材料としては、各種樹脂の他、セラミックスなどの他の絶縁性材料も適用できる。

45 【0017】上述した各構成は、適宜併用することができる。また、次に述べる本発明による他の半導体装置の

ように、単独でも実装抵抗を低減する作用・効果を有する構成もある。

【0018】すなわち、本発明による他の半導体装置としては、半導体基板の表面及び裏面にそれぞれ第1の電極及び第2の電極とを有する半導体素子が収納される半導体パッケージにおいて、上述したような、1) 第2の電極と第2の金属部材とが、第2の電極の接合表面及び前記第2の金属部材の接合表面に設けられる貴金属層が互いに接合した金属層を介して接合される構成、2) 第2の電極と前記第2の金属部材とが、貴金属を主成分とする固相温度400℃以上の合金層を介して接合される構成、3) 第1の金属部材が、第1の電極との接合部から延びる複数の部分を有し、複数の部分の各々が、外部配線と接続するための表面部分を有する構成、のいずれかを実施したものがある。また、1) または2) の構成と、3) の構成を併せて実施しても良い。

【0019】上述した本発明による各半導体装置は、MOS (Metal Oxide Semiconductor) 電界効果トランジスタ、MIS (Metal Insulator Semiconductor) 電界効果トランジスタ、バイポーラトランジスタ、絶縁ゲートバイポーラトランジスタ、ダイオード、あるいは集積回路などの各種の半導体素子に適用できる。また、本発明による各半導体装置の構成は、第1及び第2の電極を一対の主電流電極とする半導体素子、並びに第1及び第2の電極を主電流電極とし、主電流が、表面側の第1の電極から裏面側の第2の電極へ向かう方向あるいはその逆方向に向かって、半導体基板中を縦方向に流れる、パワーMOSFETやパワートランジスタのような縦型半導体素子に好適である。この場合、半導体素子の低オン抵抗特性とあいまって、パッケージを含めた端子間のオン抵抗またはオン電圧を低減できる。

#### 【0020】

【発明の実施の形態】第1の一実施形態は、トランジスタチップのゲート電極及びソース電極と外部接続用金属部材(リード)間の接続を最適に配置した複数のAuバンプを介して直接接合し、チップ裏面のドレイン電極と外部接続用金属部材(ダイ)を電気的及び熱的に結合し、ソース電極及びゲート電極用金属部材(リード)またはドレイン電極用金属部材(ダイ)のいずれか一方が多面体のパッケージの内部に納まる構造とし、パッケ

$$R_6 = (\rho \times h / S) / n$$

(ここで  $\rho$  : バンプの固有抵抗、  $h$  : バンプ高さ、  $S$  : 断面積、  $n$  : バンプ数) で表わされる。Auバンプの寸法は、A1パッド上にバンプを低コストで直接形成できるワイヤのボールボンディングで作るとすると、直径：

$$R_5 = (\rho / 4 \pi t) 1/n (r_2 / r_1)$$

(ここで、  $\rho$  : 電極膜の固有抵抗、  $t$  : 電極膜厚、  $r_2$  : 電極外径、  $r_1$  : バンプ径) で表わされる。電極外径  $r_2$  は、バンプを均等に  $n$  個配置した場合ほぼ  $1 / (n^{1/2})$  に比例するため  $n$  数を増せば  $r_2 / r_1$  は 1 に

ジ内に納めた金属部材の面を配線基板の端子面に半田接合できる構造としたものである。さらに好ましくは、パッケージから導出するリードまたはダイの導出部をパッケージの側面2面からとる構造とし、パッケージ内部に納めた金属部材をモールド金型の底面に押し付ける方法を、パッケージから導出した金属部材を介して行える構造とする。

【0021】また、第2の実施形態は、ドレイン電極と貴金属めっきを施した金属部材(ダイ)とを貴金属バンプあるいは貴金属のメッシュシートあるいは貴金属粒子あるいは硬さ35Hv以下の厚い貴金属めっきを介して直接あるいは貴金属を主成分とする固相温度400℃以上の合金層を介して接合した構造である。この接合部は、加熱と超音波振動を用いた圧接で得ることができ。さらに好ましくは、チップサイズが大きい場合に、チップ上回路形成面のソース電極とゲート電極にAuバンプを形成し、貴金属めっきを施したリードとを直接接合する構造とし、さらにソース電極側のリードとチップ裏面のダイの大きさを同等としてチップに曲げ応力がからないよう部材を対称形に配置した構造とする。

【0022】また、第3の実施形態は、チップ上面のソース及びゲートA1電極上に予めAuバンプを多数形成し、貴金属めっきした各リードに位置合わせてチップを搭載し、その上にAuバンプより硬さの小さい貴金属部材、さらにその上に貴金属めっきしたダイを搭載し、ダイの上に加圧と超音波振動を加える接合ツールを配置して、加熱と荷重と超音波により各接合界面を一括して接合する構造及び方法とした。

【0023】まず、第1の実施形態について、詳細に説明する。図20に、半導体パッケージの電流経路モデルを示す。図において、184:ドレイン用外部接続端子、186:接合部、182:チップ裏面電極、180:チップ、181:A1電極、185:金属バンプ、183:ソース用外部接続端子(リード)である。ソース/ドレイン用外部接続端子間の電気抵抗  $R$  は(1)式で表わされる。

【0024】…(1)

(1)式でチップの内部抵抗  $R_4$  を除いた部分が実装抵抗となる。バンプの抵抗  $R_6$  は、

40

…(2)

$150\mu m$ 、厚さ： $20\mu m$ が標準的な寸法になる。この場合のバンプの抵抗は  $(0.026/n)m\Omega$  となり、十分小さくできる。次にA1電極膜の抵抗  $R_5$  は、

45

…(3)

近づき、電極膜厚を厚くしてバンプ数を多くすれば、  $R_5$  は十分に小さくできる。外部接続端子の抵抗 ( $R_1 + R_7$ ) は、単純に

50

$$(R_1 + R_7) = \rho \times L / S$$

(ここで  $\rho$  : リードの固有抵抗,  $L$  : リードの通電長さ,  $S$  : 通電断面積) で表わされ、前述したように標準的な表面実装用のSOPパッケージの場合(厚さ: 0.16mm/幅: 0.3mm/長さ: 2mm×2)で1.4mΩ程度になる。すなわち、実装抵抗が1mΩ以下のレベルでは、単にバンプ構造を採用するだけでは実装抵抗を下げるは、外部接続端子の抵抗を下げる構造を採用しなければならない。そこで、本発明による半導体装置においては、外部接続端子の抵抗を下げる同時に、外部接続端子と配線基板の接続部の信頼性を確保し得る構造とした。

【0025】図21に、本発明による半導体装置1の基本構造を示す。外部接続端子の抵抗を下げるには、単純に通路断面を増して流路を短縮する以外に方法がないため、外部接続端子の一方は端子の板厚方向に電流経路を取る構造する。この場合、通電距離(0.1~0.2mm)に比べて通電断面が数~数十mm<sup>2</sup>と十分大きいため、この第1外部接続端子部194の抵抗は1μΩ以下にできる。他方の第2外部接続端子193は、チップの側面から降ろして配線基板の端子と接続する構造となるため通電距離が数mmとなるが、パッケージの両側から導通をとることで、2倍の通電断面積を確保できる。また本構造では、後で述べる理由によって、第2外部接続端子に幅広で厚肉の部材を使うことができるため、さらに数倍の通電断面積を確保することができ、従来に比べて十数分の1程度まで電気抵抗を下げることが可能となる。

【0026】従来のパッケージ構造では、第2接続端子の剛性が高くなると配線基板との接続部の長期信頼性が低下するという問題があるが、本発明の構造においては、樹脂匡体の腹部の第1外部接続端子面積が十分大きく熱源のチップと配線基板が近接した構造であるため基板との温度差が小さく、また接続端子の材質がCu合金であるため基板と熱膨張率が近くて熱歪みが小さいことにより、第1及び第2接続端子と基板との接合部に発生する熱歪みの絶対値が小さくなり、第2接続端子の剛性が高くても温度サイクル信頼性を確保できるのである。また、第2接続端子と基板との接続部には、チップを内蔵する樹脂匡体と折曲げた足に相当するCu部材の高さ方向の熱膨張の差によって温度上昇時に押し付け力が働き、この効果によっても従来のパッケージに比べて温度サイクル信頼性が向上し、第2接続端子の剛性を高くできる。

【0027】また、図21のパッケージを組み立てるためのモールド工程において、第2接続端子193を上金型の側壁で押し下げるにより、貴金属バンプ195を介して第1接続端子部材194をモールド金型の底面に押し付けることが可能となり、金型に特別な工夫を加えることなく樹脂匡体の腹部に接続端子が確実に露出したパッケージを組み立てることが可能となるのである。

… (4)

この場合、特に重要なポイントとなるのは、バンプを介して接続された第2接続端子部材を樹脂匡体の両側から出していていることである。第2端子部材の両側から押し下げるにより、第1端子部材の傾きの発生やバンプの剥がれを防いで、確実で歩留りの高い樹脂モールドが可能となっている。もし片側で押し下げる構造では、押し下げた第2端子部材の金型接触部と第1端子部材の下金型接触部間でモーメントが発生し、一部のバンプ接合部に引張力が発生して接合部剥がれが発生したり、第1端子部材の片側が浮いて接合面に樹脂が回り込む不良を発生したりするため、確実で歩留りの高い樹脂モールドができない。

【0028】次に、第2の実施形態について詳細に説明する。チップ裏面の接合に要求される特性は、1) 電気的導通が取れて外部接続端子(ダイ)への熱伝導性が高いこと、2) 温度サイクル寿命が高いこと、3) パッケージを基板に搭載するときの半田付け温度に耐えることと、4) チップ裏面の広い領域の接合が量産ラインの短いタクトで可能であり、チップへの悪影響がないことの4点である。Pbレスの適当な高融点半田材料がないため、半田以外の材料を使って上記特性を満たす接合を行う必要がある。貴金属材料を接合材料に用いた場合、材料の熱伝導率が従来半田の10倍程度あるため、同一接合厚さにした場合でも接合箇所がチップ裏面に均等に分散していれば1/10の接合面積で同じ伝熱特性が得られる。つまり熱放散性において、非常に有利である。温度サイクル寿命に関しては、チップの熱膨張と外部接続端子(ダイ)の熱膨張率に伴う熱歪みをどこで吸収するかが大きく影響する。従来の半田では、半田の降伏強度が低かったため、歪みのほとんどを半田の変形で吸収し、半田部で破壊していた。この場合、チップに歪みがほとんど加わらないためチップ特性の安定性や信頼性が高いという利点はあった。これに対して貴金属部材で接合した場合は、降伏強度が半田よりは高く、SiやCuよりは小さいため、チップやダイの歪みは増すが接合部の寿命は長くなる。チップに加わる歪みの大きさは、貴金属層の中に放熱性が問題とならない程度に空洞を設けることで調整することができる。具体的に空洞を設ける手段としては、接合部材にメッシュシートや粒子や凹凸のあるシートやめっき膜を用いることで空洞が得られる。

【0029】耐熱性に関しては問題ない。最も重要なのは接合組み立て性である。貴金属同士を従来の熱圧着法で接合する場合には、短時間で接合するために加熱温度を400~500℃にする必要があった。この方法では、室温との温度差が大きいため冷却過程の熱歪み量が大きくなりチップサイズがそれほど大きくな場合でも破損する危険が大きいという問題があった。本発明においては、その問題を解決するために接合温度を250℃

以下とし、その温度で確実な接合を達成するために超音波振動を利用する方法を採用した。しかしチップをダイに超音波接合する場合には、ダイとチップを硬質のヒートステージと硬質の接合ツールで挟んで加圧しつつ超音波振動を加えるため、チップの回路形成面と硬質の接合治具が接触した部分でチップが破損するという問題が生じる。この問題に対して、本発明ではチップの回路形成側の電極にAuバンプを形成し、回路形成側にもダイと同等サイズの外部接続端子部材（リード）を合わせて配置し、チップと硬質の接合治具が直接接触しない構造としてチップの破損を防いだ。チップの上下2カ所に接合箇所がある場合、接合の程度にばらつき（片側がよく接合されて、片側が接合されない状態）が生じることが懸念されるが、超音波接合において接合箇所が接合治具に対して直列に配置されている場合には、片側の接合が進行するとその部分の相対振動が抑えられ、接合されていない部分の相対振動が大きくなつてそこの接合が進行するという自己調整機能が働くため、2カ所とも同程度の強度の接合部が得られるのである。ただし、接合面積を放熱の点からチップ裏面側で広くしたい場合は、チップ上下の接合材料を変えてチップの回路形成面側を降伏強度が高くチップ裏面側を降伏強度が低い材料にして接合することで、接合面積に差をつけることが可能である。以上の接合構造と接合方法を採用することにより、Pbレスで高性能・高信頼性のチップ裏面接合が可能となる。

【0030】なお、第3の実施形態の作用・効果については、第2の実施形態に記述した通りである。実際の接合時間は、ワークの移動や位置決めの時間を除くと数百ms程度で、現行の複数本のワイヤボンディングに要している時間より短い時間である。予めAuバンプをチップのA1電極に形成しておく必要があるが、生産タクトの点で影響がなく、チップ・ダイ接続とボンディングを同時に見える点で従来より生産タクトの短縮が可能となる。

【0031】（実施例）以下、上記の実施形態の具体的構造を示す本発明の実施例を図面を用いて詳細に説明する。

【0032】図1は、本発明による半導体パッケージの一実施例を示す。（a）は樹脂部を除去し外部接続端子を透視した上面図、（b）は断面図、（c）は下面図である。図において、半導体チップ1は4×2mmの大きさの縦型MOSトランジスタであり、ソース及びゲート用A1電極2、3の膜厚は約4μm、ドレン電極となる裏面電極4の最表面にはAuが蒸着されている。チップのソース及びゲート電極には多数または複数Auバンプ8が、ボールボンディング法によって、均等にすなわち各電極の全面にほぼ等間隔に配置されて形成されている。ソース及びゲート用リード端子5、6は、Cuコア11にPd/Auの貴金属めっき12が施された構造で、板

厚0.2mmである。ソース用リード端子5の幅は、ソース電極2とほぼ同じ大きさである。すなわち、ソース用リード端子5はソース電極2のほぼ全面を覆う。チップ上のAuバンプと各リード端子のPd/Au面は230°Cの加熱温度でダイレクトに超音波圧着されている。圧着されたAuバンプの大きさは、ほぼ150μmΦ×20μmである。外部接続用ダイ端子7は、Cuコア13にPd/Auの貴金属めっき14が施された構造で、片面にはさらに約10μmのAgめっき15が施されている。チップ裏面電極のAu面とダイ端子のAgめっき面はAuバンプ/リード端子の場合と同様に230°Cの加熱温度でダイレクトに超音波接合されている。ソース用リード端子は、モールドされた樹脂匡体16の左右の側壁から外に導出され、かつ折り曲げ加工が施されており、左右に取り出された幅広のリード端子にはスリット10が設けられ、また、チップ上に位置する部分にはいくつかの開口部9が設けられている。ゲート用リード端子も樹脂匡体16の左右の側壁から外に導出されている。ドレイン用ダイ端子は樹脂匡体の底面に露出している。ダイ端子の下面（配線基板上接続端子との接続面）と曲げ加工されたソース及びゲート用リード端子の下面（同接続面）は同じ高さすなわち同一平面になるように加工されている。

【0033】本実施例によれば、ソース電極とソース用リード端子が、均等配置された多数のAuバンプによって接続され、幅広のリード端子が左右から導出された構造であること、ダイ端子が裏面電極とAgめっき膜によって直接接合され、配線基板までの流路断面が大きくかつ通電距離が非常に短い（板厚分）構造であることから、パッケージの実装抵抗を大幅に下げることができる。これにより、実装抵抗1mΩ以下という従来にはない低実装抵抗の半導体パッケージを備える新規な半導体装置が得られる。また、チップとCu端子との接合部には回路面側は厚さ20μmのAuバンプ、チップ裏面側は厚さ10μmのAgめっきが介在しており、それらがCu端子材に比べて柔らかい（降伏強度が低い）材料であるためクッション材の役割を果たし、チップに大きな力が加わることを防ぐ効果があること、AuやAgは半田に比べて温度サイクル寿命が長いことのために、半導体パッケージとしての長期信頼性に優れるという利点がある。また、配線基板に搭載した場合には、ダイ端子の広い面積で基板と接合され、発熱体のチップと最短距離で良好な熱伝導状態で接続されるため基板とパッケージの温度差が小さく、基板の熱膨張率とCu端子の熱膨張率は近いため両者の間に発生する熱歪みは小さい。このため、半導体パッケージと配線基板間の接合部は温度サイクル寿命が長く、長期信頼性に優れる利点がある。さらには、チップ上に位置するソース用リード端子に開口部を設けているため、Auバンプが潰れてリード端子とチップの間隙が小さくなつた場合でも、開口部から樹脂

の侵入が生じること、開口部からガス抜きが行われることの2つの効果で樹脂モールド工程におけるボイドの発生を防ぐことが可能となり、パッケージの信頼性を損なうことがない。

【0034】また、チップの裏面電極とダイ端子との接続構造として、Agめっき膜を介してAu/Agの超音波接合を行っており、半田レス接合としているため、耐熱性が高く温度サイクル信頼性の高い接続構造を持つ半導体パッケージを提供できる。

【0035】なお、ここではAuバンプのサイズとして $150\mu\text{m}\Phi$ としたが、バンプの形成が可能であれば数百 $\mu\text{m}\Phi$ と大きくする方がよい。バンプサイズを大型化すると、さらに低抵抗化が図れ、また接合強度を向上できるためパッケージ組み立て時の外力によるバンプ接合部の剥がれ発生を防止するのに有効となり、製造歩留りを向上できるという効果がある。

【0036】図2は、本発明による半導体パッケージにおいて、Agバンプ圧着方式をチップ・ダイ接続に採用した場合の一実施例を示す。図において半導体チップ21のA1電極22と貴金属めっき25を施されたリード端子26はAuバンプ30によって強固に接合されている。チップの裏面電極23と貴金属めっきを施されたダイ端子29はAgバンプ31によって接合されている。リード端子は片側が樹脂匡体32の側壁近傍で切断され、片側は配線基板の端子と接続するために曲げ加工が施されてダイと同じ高さに揃えられている。

【0037】本実施例によれば、チップとダイ端子間がAgバンプで接続されているため構造的に変位を吸収可能である。このため、ダイ端子/チップ間の接合部の温度サイクル寿命が格段に長く、Pbレスで環境にやさしく信頼性の高い半導体パッケージを提供できる。また、配線基板の接続端子との半田接合部には、熱歪みがほとんど加わらないため、実装信頼性を大幅に向かうことができる。また、パッケージをチップと同等なサイズにまで小型化でき、パッケージの厚みも1mm程度に薄型化することができ、高密度実装に適した小型の表面実装用半導体パッケージを提供できる。

【0038】図3は、本発明による半導体パッケージにおいて、Agペースト接着方式をチップ・ダイ接続に用いた場合の一実施例を示す。図において半導体チップ35のA1電極36と貴金属めっき39されたリード端子40はAuバンプ45によって強固に接合されている。チップの裏面電極37とダイ端子43はAgペースト46によって接着されている。ダイ端子はCuコア41にPd/Auめっき42された構造で、周囲にはモールド樹脂へのアンカー効果が働くように端面のザグリ加工処理が施されている。リード端子は樹脂匡体47の両サイドから取り出されている。

【0039】本実施例によれば、図1の実施例と同様の効果が得られる。また、ダイ端子の端面に樹脂に食い込

む形状の加工を施したため、モールド樹脂の収縮力でダイ端子をチップ裏面に押し付けることができ、組み立てが簡便に行えるAgペーストによるチップ・ダイ接続方式を採用しても信頼性のある半導体パッケージを提供できる。

【0040】図4は、本発明による半導体パッケージにおいて、回路形成面を配線基板に向けた実装が可能なパッケージ構造の一実施例を示す。図において、半導体チップ50の回路形成面側の主電流用及び制御用A1電極

51, 52には、図1の実施例と同様に各々複数のAuバンプ57が形成され、各電極サイズと同等で樹脂匡体59面内に納まる大きさの主電流用外部接続端子55と制御用外部接続端子56が超音波熱圧着されている。各外部接続端子表面にはPd/Auフラッシュめっきが施されている。チップ裏面には最表面がAuまたはAg蒸着膜で構成された裏面電極53が形成され、Cu表面にPd/Auフラッシュめっきが施された裏面電極用外部接続端子54が表面に $0.1\sim5\mu\text{m}$ 厚さのSnめっきが施されたAgメッシュシート58を挟んで超音波熱圧着されている。主電流用及び制御用外部接続端子は樹脂匡体表面に露出した状態でモールドされ、裏面電極用外部接続端子は樹脂匡体の左右側面から導出されて片側が切断除去され他方が折曲げ加工されている。

【0041】本実施例によれば、図1と同様の効果が得られる。さらに、チップの発熱面である回路形成面側から配線基板に最も効率的に放熱できる構造であるため、パッケージの冷却が最も効率的に行われてA1電極部の温度上昇が小さく抑えられ、その結果、外部接続端子とチップ間に発生する熱歪みを小さくできかつA1電極膜とAuボルト間の化合物の成長を抑制できるため、実使用環境下での製品寿命を大幅に改善できるのである。

【0042】図5は、本発明による半導体パッケージを組み立てるのに用いるソース及びゲート電極用マトリックスリードフレームの一実施例、図6は、図5のA-A'断面から見たパッケージ組み立て時の接合方法、図7は、接合後のマトリックスリードフレームの外観、図8は、樹脂モールド方法を示す図である。図5において、ソース用リード61とゲート用リード62が対となったユニットがX-Y方向に配置されている。次の図6において、マトリックスリードフレームのソース用及びゲート用リード61, 62上に、半導体チップ65のA1電極66, 67上に予め形成されたAuバンプ71が位置合わせされて搭載され、さらにチップ裏面電極68上には、予めAgバンプ70が形成されたドレイン用ダイ端子69が搭載されている。マトリックスリードフレームを載せるヒートステージ74を $200^\circ\text{C}$ に加熱し、ダイ端子の上から超音波振動76を加える接合ツール73で1バンプ当たり $50\sim500\text{g}$ の力で加圧し、チップ上下の接合部を同時に接合している。超音波接合では、バンプの潰れ量を制御して接合し、リードとダイ端子の

高さを所定の範囲内の精度に抑えている。超音波の振動方向は、リードの剛性が高い長手方向（図5の上下方向）に加え、リードの共振による接合不良の発生を防いでいる。ダイ端子は、個別に切り離して組み立てるので、貴金属めっきした大きなCu板から打抜き加工して製作している。接合を完了したマトリックスリードフレーム（図7）を、モールド金型にセットした状態が図8である。図8は、図7のA-A'断面方向から見た場合の断面構造である。図8において、モールド金型80、81のキャビティ82は、マトリックスリードフレームの配置に合わせて、X-Y方向に配列して形成されている。また、リード吊が納まる逃げ空間83も設けられている。下金型81のキャビティに半導体チップ65が納まるように位置合わせてマトリックスリードフレームをセットし、その上から上金型を載せて押し付ける。キャビティから外に出るソース及びゲートリードの高さは、下金型のキャビティの深さと同等かわずかに高くしてあり、上金型のキャビティ側壁部分でリードを挟んだときに、ダイ端子がキャビティ底面に押し付けられる構造としている。リードはチップ部を中心として左右で押し下げられることになるが、押し込み量が大きいとリードが曲げ変形を受け、チップ中央のAuバンプ接合部に引張り力が発生する。このため、上金型のリード抑え部はナイフ状に加工し、下金型は内側が低くて外側が高い段差を持たせ、リードをW形状に変形させてチップ中央の凸状の曲げ変形が小さくなるように工夫している。モールド樹脂は、熱膨張を下げるシリカ粒子のサイズを細かくし、バンプ接合部の隙間10～20μmの空隙への充填性を上げ、圧入プロセスで樹脂ボイドの発生を防止している。

【0043】本実施例のリードフレーム及び製法によれば、組み立て用のリードフレームにICユニットをマトリックス状に配置し、1リードフレームから取れるパッケージの個数を増して生産性を上げることができるここと、金型はリード抑え部を除いて平面研削加工により合わせ面の加工精度を出せるためコストを上げないで金型を製造できること、チップ・ダイ接続と回路形成面側の接続を一回の接合工程で行えるため生産工程の短縮が可能となること、等の効果により低コスト半導体パッケージを提供できる。同時に構造的な特徴として、チップサイズに近い大きさの小型かつ薄型の半導体パッケージを提供できる。

【0044】図9は、本発明による半導体パッケージの組み立てフローに関する一実施例である。図において、組み立てには4つ部品が用いられる。半導体チップは、ウェーハレベルでAuバンプが形成され、それからダイシングにより個片に切断される。Auバンプの形成は、ポールボンディング法、めっき法、Auポール転写法のいずれでもよい。ソース及びゲート用外部接続端子は、Cu合金板からマトリックスリードフレーム状に打抜き

法あるいはエッチング法により加工整形され、表面にNi下地めっきを施した後、Pdを0.02～1μm程度めっきし、最表面にAuを0.001～1μm程度めっきして仕上げられる。ドレン用外部接続端子は、Cu

- 05 条テープにNi下地めっきを施した後、Pdを0.02～1μm程度めっきしてさらに最表面にAuを0.001～1μm程度めっきし、最後にチップと同等サイズの個片に切断加工される。チップ・ダイ接続用のAgシートは、厚さ10～100μmのAgテープにプレス加工を加えて片面あるいは両面に凹凸を形成し、その表面にSnを0.1～5μm厚さ程度めっきする。このときの厚さは、Agとの重量比が20wt%以下となる厚さにしている。最後に、ドレン用外部接続端子やチップと同等サイズの個片に切断している。各部品は、マトリ
- 10 ックスリードフレームをボンディングステージに載せてから、半導体チップ、Agシート、ドレン用外部接続端子の順に位置合わせて積層し、加熱と荷重と超音波振動を加えて、1IC単位で一括接合を行う。マトリックス全てを接合完了したら、樹脂モールド工程に入り、
- 15 図8と同様の要領で樹脂モールドを行う。最後に、マトリックス状に繋がった半導体パッケージを個別に切断分離し、リードの折曲げ整形加工を施して完成する。

【0045】本実施例によれば、部品加工工程が並列ラインで多数個の一括生産が可能であり、また組み立てラインに入ってからの工程が（1）部品セット+接合、（2）樹脂モールド、（3）リードの切断整形の3工程であり、従来のチップ・ダイ接続とワイヤボンディングのプロセスに比べて1工程短縮でき、さらに組み立てのタクトも（1）の工程がワイヤボンディングと同等のタ

- 20 クト以下で接合できるため、トータルの生産タクトの短縮が可能で、生産性の大幅な向上が図れる。

【0046】図10は、本発明によるチップ裏面電極接合構造の一実施例を示す。リードフレームはソース・ゲート用リードフレームとドレン用リードフレームの2

- 35 種類のリードフレームを用いて組み立てる。図において、ソース用リード91とゲート用リード92を形成したCu合金のリードフレーム、及びドレン用ダイ95を形成したリードフレームは、全面にPd/Auめっきが施されている。ドレン用ダイの上には、Agボールバンプ101がボールボンディング法により形成されている。この2種のリードフレームの間に、Al電極98に予めAuボールバンプ100を形成した裏面電極102付きの半導体チップ97を挟み、チップの上下2カ所を同時に接合できる構造である。図11は、この接合体40 を樹脂モールドしてリードを整形加工した半導体パッケージ構造の一例を示す。図において、樹脂匡体103の側壁の片側からソース及びゲートリード91、92が導出され、対向する他方の側壁からドレン用リード104が導出され、折曲げ加工されている。樹脂匡体内のリードには局部的に細くなったネック部93を設けてお
- 45
- 50

り、リードの折曲げ加工時に発生する応力がバンプ接合部に伝わり難い構造としている。リードの導出位置の高さは、左右で異なっている。従って、上下モールド金型の合わせ面も段違いに加工されている。チップ裏面はAu蒸着膜/Auバンプ101/Pd/Auめっきダイ95の圧着構造、チップ上面はA1電極98, 99/Auバンプ100/Pd/Auめっきリード91, 92の圧着構造となっている。

【0047】本実施例において、チップ・ダイ接続構造がAgバンプを介した貴金属同士の直接接合となっているので、耐熱性が高く、チップ/ダイ間の熱歪みをAgバンプが緩和してくれるため温度サイクル信頼性が高く、Pbレスで環境にやさしい半導体パッケージを提供できる。また、リードは貴金属めっきが施されているため半田の濡れ性がよく、その結果、パッケージ組み立て後の半田めっきが不要となるため、パッケージ組み立て工程が短縮されて生産性が向上する。また、チップサイズぎりぎりに樹脂をモールドすることが可能となるため、小型で薄型の半導体パッケージを提供できるという効果もある。

【0048】図12は、チップとダイを接合するための接合シートの一実施例である。図において、シート110は厚さ20μmの純Ag製で、片面に深さ10μmの溝111を形成している。溝の形成は、プレス加工あるいはダイシングブレードによるハーフカット加工により行っている。Agシートの硬さは、圧延加工→溝加工を終えた後、35HV以下になるように焼鈍処理している。

【0049】本実施例の接合シートを用いてチップ/ダイの超音波圧接を行えば、接合中のAgシートの組成変形が溝空間の存在と材料の柔らかさによって低い応力で容易に進行し、Siチップに加わる応力が小さい条件で接合界面での新生面の形成が行われて接合が進むため、チップに損傷を与えないで強固で耐熱性の高い接合を達成することが可能となる。また、パッケージの使用時には、チップの発熱に伴うチップ/ダイ間の熱歪みを、柔らかくて溝空間のあるAgシートが吸収してくれるため、温度サイクル信頼性の高い半導体パッケージを提供できる。

【0050】図13は、チップとダイを接合するための接合シートの他の一実施例である。図において、接合シートのコア部112は、図12と同じ加工処理を施したAgシートである。その表面に、厚さ0.3~2.0μmのSnめっき113を施している。

【0051】本実施例の接合シートを用いてチップ/ダイの超音波加熱圧接を行えば、加熱温度220℃以上の条件下でAg-Sn反応によって液相が形成されるためシート表面が薄い膜の液体で覆われ、ダイあるいはチップ裏面電極に押し付けられた領域は液体が外に排出されて高融点部材同士の接合が容易に進行するため、低い加

圧条件で確実かつ強固な接合が容易に行えるという利点がある。また接合界面から排出された低融点のAg-Sn層には、加熱時にコアから次々に溶解や拡散によってAgが供給されるため、最終的なAg-Sn層の融点は470℃以上に高めることができ、耐熱性の高い接合部とすることができる。半導体パッケージとしての信頼性に関しては、図12と同様の効果が得られる。

【0052】図14は、チップとダイを接合するための接合シートの他の一実施例である。図において、接合シートはAgワイヤ114, 115を縦横に編んだメッシュ状シートである。

【0053】本実施例によれば、ワイヤが重なった部分の厚みは厚くてそれ以外の部分は薄いという凹凸のあるシートであるため、厚い部分の組成変形が容易に進行して図12と同様の効果が得られるのである。

【0054】図15は、本発明による半導体パッケージにおいて、チップ・ダイ間の接合にAg粒子を用いた場合の一実施例を示す。図において、半導体チップ120の回路形成面側にはA1電極121が形成され、その上には複数のAgバンプ125が形成されている。チップの裏面には、最表面がAgめっき膜の裏面電極122が形成されている。回路形成面側の貴金属めっきされたリード123とAgバンプは直接、超音波熱圧着されている。チップ裏面電極と貴金属めっきされたダイ端子124は、樹脂127と90vol%以上の比率で混合されたAg粒子126を挟んで、超音波熱圧着されている。樹脂の量は、圧着時に押し出された樹脂がダイ端子の側面から圧着ステージに流れ落ちない程度に少ない量とし、混合体を粘性流体として扱える程度に多い量としている。樹脂の性質は熱硬化性で、接合時の加熱により硬化する種類の樹脂としている。Ag粒子とチップ裏面のAg蒸着膜、およびAg粒子とダイ端子、Ag粒子同士は接触部分の領域で部分的に金属接合が達成されている。ダイ端子の寸法は、樹脂匡体128の底面の中に納まる大きさであり、チップと同等である。チップより、わずかに大きくても小さくてもよい。

【0055】本実施例によれば、低実装抵抗、小型・薄型、Pbレスの半導体パッケージを提供できる。また、Ag粒子が樹脂と混合されているので、樹脂の粘着性によってAg粒子の飛散がなくなり、接合部へのAg粒子の供給が容易となって生産性が向上できる。また、接合後のAg粒子間の狭い隙間を混合された樹脂が埋めるため、モールド樹脂で隙間を埋める必要がなくなり、樹脂ボイドの発生を大幅に低減できて歩留りを向上できるという効果もある。さらに、接合材が樹脂とAg粒子の混合体ではあるが、超音波を併用した加熱圧着を行っているため、金属同士の接合界面から樹脂が排出され、接合部では金属同士の強固な接合が達成されるため、接合信頼性はAgペーストの接着に比べて格段に向上できるという効果もある。

【0056】図16は、本発明による半導体パッケージにおいて、チップ／ダイ間の接合に溝を形成したAgシートを用いた場合の一実施例を示す。図において、チップ130のA1電極131にはAuボール139が形成され、裏面電極132の最表面にはAg蒸着膜が形成されている。リード端子135とダイ端子138の表面にはPdめっきが施されている。チップ裏面とダイ端子間に溝141を形成したAgシート140が挿入されている。各接合部は、超音波併用の加熱圧着によりダイレクトに接合されている。リード端子は、樹脂匡体の1側面から導出され、曲げ加工されている。

【0057】本実施例によれば、図2と同様の効果が得られる他に、リード端子が片側からのみ出ているので、リード端子の上下の樹脂連結面積が大きく取れ、樹脂の硬化収縮力によるリード／チップ間への圧縮力を高めることができるので、A1電極／Auボール／リード端子の各接合部の熱歪み等による破損を低減することができ、半導体パッケージの信頼性を向上することができる。

【0058】図17は、本発明による半導体パッケージにおいて、リード端子の一部が樹脂匡体の上面に露出している場合の一実施例を示す。図において、チップ145のA1電極146にはAuボール154が形成され、裏面電極147の最表面にはAg蒸着膜が形成されている。リード端子150とダイ端子153の表面にはPd／Auめっき149、152が施されている。チップ裏面とダイ端子間に溝156を形成したAgシート155が挿入されている。各接合部は、超音波併用の加熱圧着によりダイレクトに接合されている。リード端子は、樹脂匡体の1側面から導出されて曲げ加工されており、上面はリード端子が露出している。

【0059】本実施例によれば、図2と同様の効果が得られる他に、パッケージ上面に露出した広い面積のリード端子から効率よく熱が放散されるため、半導体パッケージの熱抵抗を大幅に低減することができる。

【0060】図18は、本発明による半導体パッケージを搭載するための配線基板の一実施例を示す。図において、配線基板160はガラスエポキシシートにCu箔パターンが形成された基板を積層した多層有機基板である。基板表面には、各種半導体パッケージや受動素子の接続端子165、169、170、171が形成されている。本発明の半導体パッケージを搭載するための接続端子は、パッケージの腹部に納まる大きさのドレン用接続端子161、168、ソース用接続端子164、167、ゲート用接続端子162、163、166から構成される。図19は、図18の配線基板に、本発明の半導体パッケージやLSIパッケージや素子を搭載した電子装置の一実施例を示す。図において、配線基板160には信号処理用のLSIパッケージ176、177、178と縦型半導体パッケージ172、175と抵抗及びコ

ンデンサの受動素子173、174が半田接続により搭載されている。

【0061】本実施例によれば、パワー半導体パッケージと基板間の接続面積が大きく、発熱体であるチップと基板間が最短距離で接続されるため、基板とパッケージの温度差が小さくなり、半田接続部に発生する応力が低減されて信頼性の高い電子装置を提供することができる。また、パッケージの発熱を低減しているため、特別な放熱機構を設けなくてもデバイス温度が正常な動作温度領域を超えて温度上昇することがなく、電子装置の構造を簡略化できてコストを抑えられ、温度上昇が低くなることから電子装置の寿命を向上できるという効果もある。

#### 【0062】

15 【発明の効果】以上詳述したように、本発明によれば、パッケージの実装抵抗を低減することができる。

#### 【図面の簡単な説明】

【図1】本発明による半導体パッケージの一実施例。

20 【図2】本発明による半導体パッケージの他の一実施例。

【図3】本発明による半導体パッケージの他の一実施例。

【図4】本発明による半導体パッケージの他の一実施例。

25 【図5】本発明による半導体パッケージに用いるリードフレームの一実施例。

【図6】本発明による半導体パッケージの組み立て構造及び方法の一実施例。

【図7】本発明による半導体パッケージの組み立て途中30 のリードフレーム構造。

【図8】本発明による半導体パッケージの樹脂モールド方法の一実施例。

【図9】本発明による半導体パッケージの組み立てフローの一実施例。

35 【図10】本発明によるPbレス半導体パッケージの組み立て構造の一実施例。

【図11】本発明によるPbレス半導体パッケージの一実施例。

40 【図12】本発明によるチップ裏面電極のPbレス接合部材の一実施例。

【図13】本発明によるチップ裏面電極のPbレス接合部材の他の一実施例。

【図14】本発明によるチップ裏面電極のPbレス接合部材の他の一実施例。

45 【図15】本発明による半導体パッケージの他の一実施例。

【図16】本発明による半導体パッケージの他の一実施例。

【図17】本発明による半導体パッケージの他の一実施50 例。

【図18】本発明による半導体パッケージを搭載する配線基板の一実施例。

【図19】本発明による半導体パッケージを搭載した電子装置の一実施例。

【図20】半導体パッケージの電流経路モデル。

【図21】本発明の半導体パッケージの基本構造の一例。

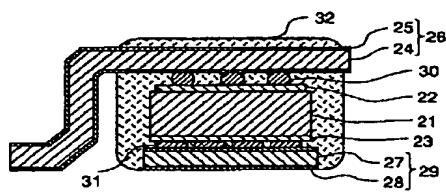
【符号の説明】

1, 21, 35, 50, 65, 97, 120, 130, 145, 190…半導体チップ、2…ソース用A1電極、3…ゲート用A1電極、4, 37, 53, 68, 102, 122, 132, 147, 192…裏面電極、5…ソース用リード端子、6…ゲート用リード端子、7, 69…ドレイン用ダイ端子、8, 30, 45, 57, 71, 139, 154…Auバンプ、9…開口部、10…スリット、11, 13, 24, 27, 38, 41, 134, 137, 148, 151…Cuコア、12, 14, 42, 149, 152…Pd/Auめっき、15…Agめっき、16, 32, 47, 59, 103, 128, 142, 157, 197…樹脂匡体、22, 36, 66, 67, 98, 99, 121, 131, 146, 181, 191…A1電極、25, 28, 39…貴金属めっき、26, 40, 135, 150…リード端子、29, 43, 124, 138, 153…ダイ端子、31, 70, 125…Agバンプ、44…ザグリ加工部、46…Agペースト、51…主電流用A1電極、52…制御用A1

電極、54…裏面電極用外部接続端子、55…主電流用外部接続端子、56…制御用外部接続端子、58…Agメッキシート、61, 91…ソース用リード、62, 92…ゲート用リード、63…リード吊、64, 94, 96…リード枠、73…接合ツール、74…ヒートステージ、75…ヒータ、76…超音波振動、80…モールド上金型、81…モールド下金型、82…キャビティ、83…逃げ空間、93…ネック部、95…ドレン用ダイ、100…Auボールバンプ、101…Agボールバンプ、104…ドレン用リード、110, 140, 155…Agシート、111, 141, 156…溝、112…Agコア、113…Snめっき、114, 115…Agワイヤ、123…リード、126…Ag粒子、127…樹脂、133, 136…Pdめっき、160…多層有機基板、161, 168…ドレン用接続端子、162, 163, 166…ゲート用接続端子、164, 167…ソース用接続端子、165…受動素子用接続端子、169, 170, 171…LSIパッケージ用接続端子、172, 175…縦型半導体パッケージ、173…抵抗素子、174…コンデンサ素子、176, 177, 178…LSIパッケージ、180…チップ、182…チップ裏面電極、183…ソース用外部接続端子、184…ドレン用外部接続端子、185…金属バンプ、186…接合部、193…第2外部接続端子、194…第1外部接続端子、195…貴金属バンプ、196…貴金属接合部材、198…第3外部接続端子。

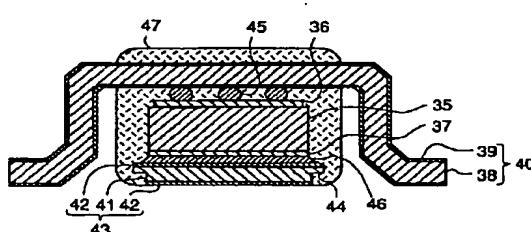
【図2】

図 2



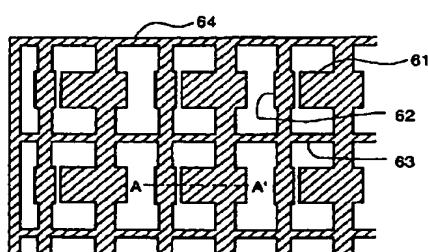
【図3】

図 3



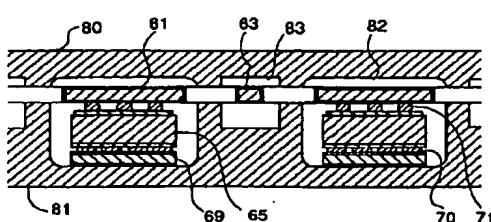
【図5】

図 5



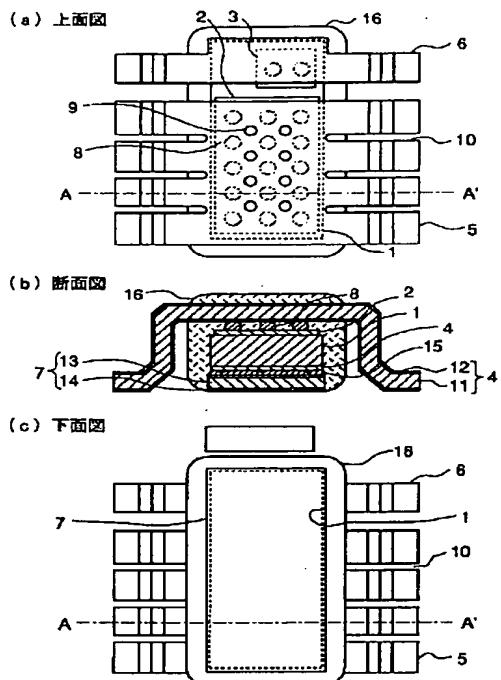
【図8】

図 8



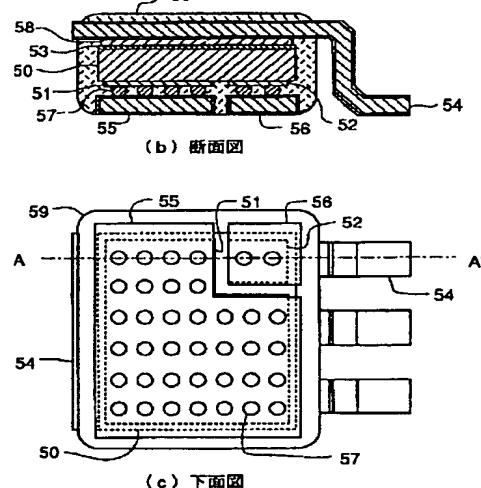
【図1】

図1



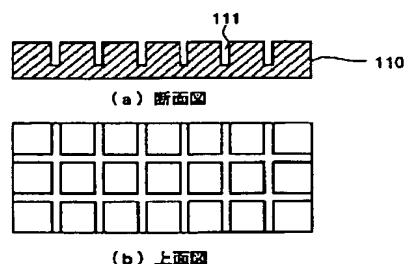
【図4】

図4



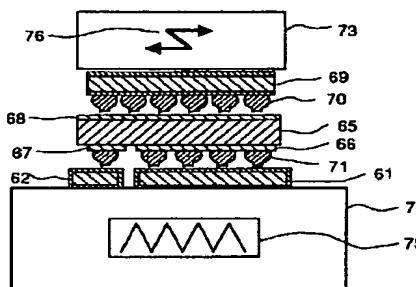
【図12】

図12



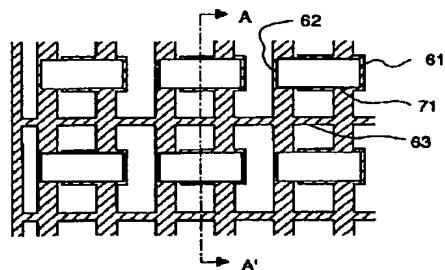
【図6】

図6



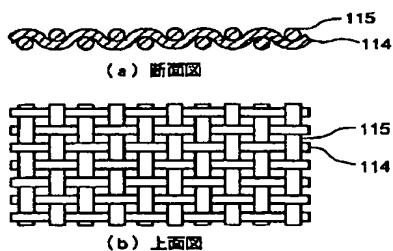
【図7】

図7



【図14】

図14



【図13】

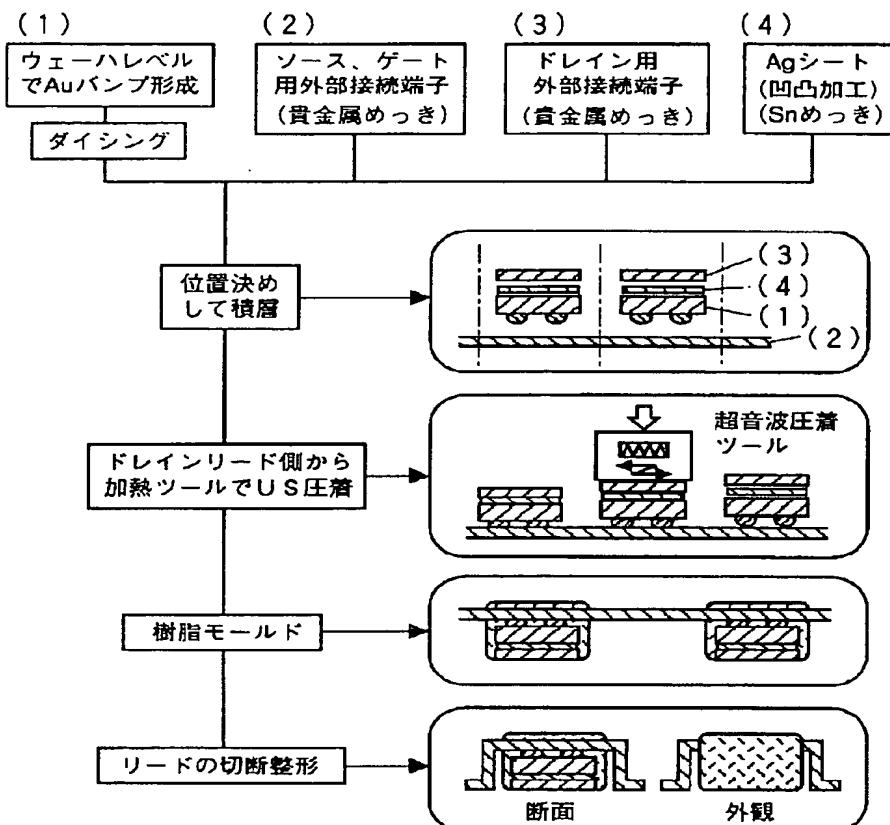
図13



【図9】

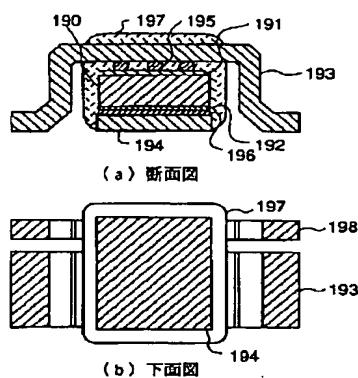
図 9

## 組立てフロー（超音波熱圧着方式）



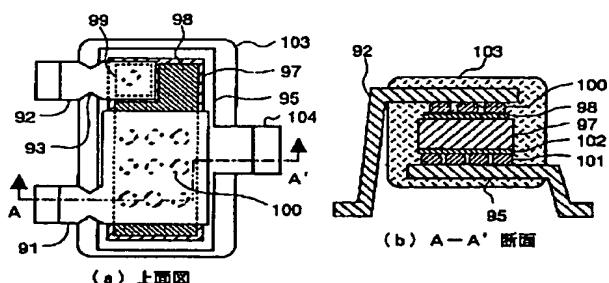
【図21】

図 21



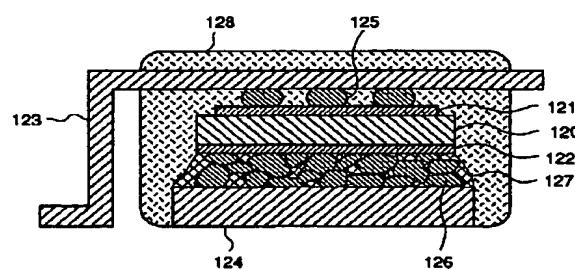
【図11】

図 11



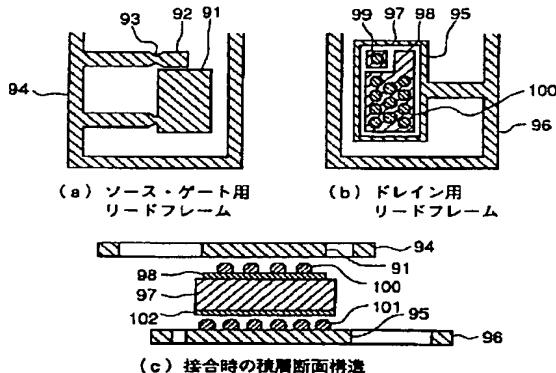
【図15】

図 15



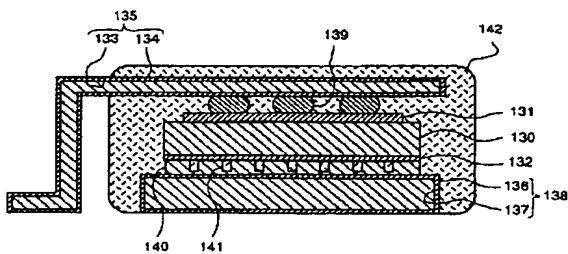
【図10】

図10



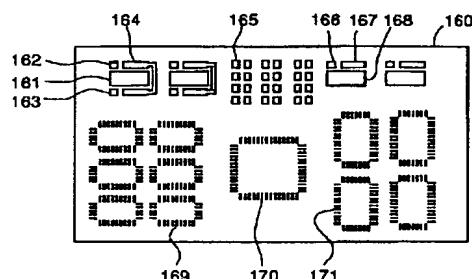
【図16】

図16



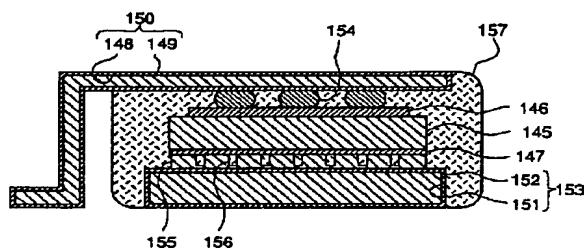
【図18】

図18



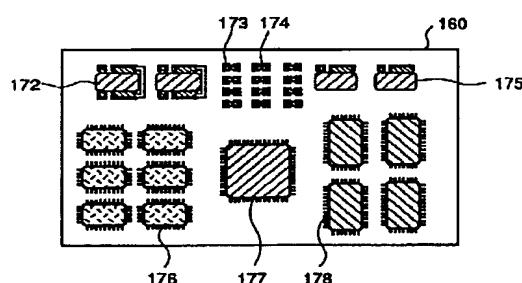
【図17】

図17



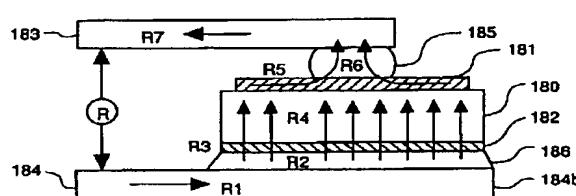
【図19】

図19



【図20】

図20



フロントページの続き

(72) 発明者 小泉 正博  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72) 発明者 守田 俊章  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 高橋 和弥  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 岸本 宗久  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 石井 滋  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 平島 利宣  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 高橋 靖司  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 波多 俊幸  
埼玉県入間郡毛呂山町旭台15番地 日立東部セミコンダクタ株式会社内

(72)発明者 佐藤 仁久  
埼玉県入間郡毛呂山町旭台15番地 日立東部セミコンダクタ株式会社内

10 (72)発明者 大川 啓一  
埼玉県入間郡毛呂山町旭台15番地 日立東部セミコンダクタ株式会社内

F ターム(参考) 5F036 AA01 BB08 BB21 BC05 BD01  
BE01